



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092104326	Taiwan R.O.C	02/27/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 02 月 27 日
Application Date

申 請 案 號：092104326
Application No.

申 請 人：聯發科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 3 月 25 日
Issue Date

發文字號：09220294120
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中 文	處理器管理外部記憶體之方法
	英 文	METHOD FOR MANAGING EXTERNAL MEMORY OF A PROCESSOR
二 發明人 (共3人)	姓 名 (中文)	1. 莊承德 2. 吳元丁
	姓 名 (英文)	1. Chuang, Cheng-Te 2. Wu, Yuan-Ting
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市中華路一段三八四巷七弄十九號三樓 2. 新竹市民享一街二十二巷二十三號
	住居所 (英 文)	1. 3F, No. 19, Alley 7, Lane 384, Sec. 1, Chung-Hua Rd., Hsin-Chu City, Taiwan, R.O.C. 2. No. 23, Lane 22, Ming-Shiang 1 St., Hsin-Chu City, Taiwan, R.O.C.
三 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英文)	1. MediaTek Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai

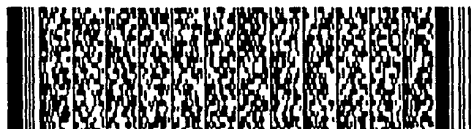


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二 發明人 (共3人)	姓 名 (中 文)	3. 杜立群
	姓 名 (英 文)	3. Tu, Li-Chun
	國 籍 (中 英 文)	3. 中華民國 TW
	住 居 所 (中 文)	3. 台北市南港區福德街三0九巷四十號一樓
	住 居 所 (英 文)	3. 1F, No. 40, Lane 309, Fu-Te St. Na-Kang District, Taipei City, Taiwan, R.O.C.
三 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：處理器管理外部記憶體之方法)

一種處理器管理外部記憶體之方法包含提供一位址轉換器，使用該位址轉換器將該單晶片之中央處理單元指向該外部記憶體之頁碼及該頁碼內的位址轉換為該外部記憶體相對應的實體位址，以及使用該中央處理器存取該實體位址之資料。該外部記憶體中僅包含一個共用區，該方法另包含將該單晶片之中央處理單元指向該外部記憶體之頁碼及該頁碼內的共用區之位址對映至該外部記憶體之共用區之實體位址。

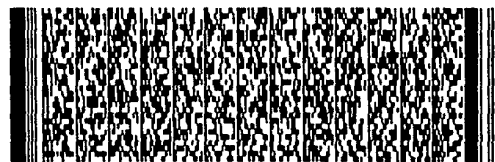
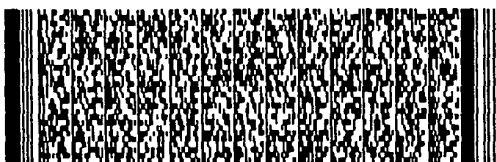
伍、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

20 單晶片 22 外部程式記憶體
24 位址轉換器

六、英文發明摘要 (發明名稱：METHOD FOR MANAGING EXTERNAL MEMORY OF A PROCESSOR)

A method for managing external memory of a processor includes providing an address translator, using the address translator to translate a page and an address in the page pointed by a CPU of the single chip to a physical address of the external memory, and using the CPU to access data stored in the physical address of the external memory. The external memory has only



四、中文發明摘要 (發明名稱：處理器管理外部記憶體之方法)

六、英文發明摘要 (發明名稱：METHOD FOR MANAGING EXTERNAL MEMORY OF A PROCESSOR)

one common area. The method further includes mapping an address and a page of a common area pointed by the CPU to the physical address of the common area.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種記憶體管理之方法，尤指一種處理器管理外部記憶體之方法。

先前技術

MCS(Micro Computer System)是 Intel公司對微處理器的總稱，而其所開發的 MCS-31/32及 51/52系列的微處理器更是普遍地應用在工業界中。一般而言，微處理器只含有少量的記憶體及輸入輸出點，以 MCS-51系列的單晶片為例，它有 4K位元組的程式記憶體、128位元組的資料記憶體以及 32條輸入輸出點，MCS-52系列的微處理器則是將程式記憶體增加為 8K位元組，以及將資料記憶體增加為 256位元組，而 MCS-31/32及 51/52系列的單晶片同樣是使用一個 8位元的中央處理單元。程式記憶體是用來存放使用者所撰寫的程式，屬於唯讀記憶體 (ROM)，資料記憶體則是隨機存取記憶體 (RAM)，可供中央處理單元運作時讀取或寫入資料，通常是用來當程式執行時暫時存放資料的暫存器。MCS-31/32及 51/52系列的微處理器都可以由外部擴充記憶體，最大可擴充至 64K位元組。

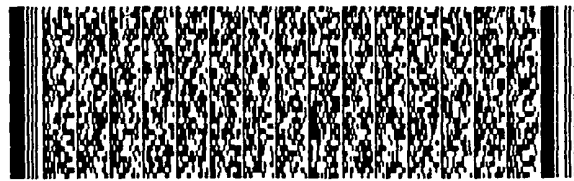
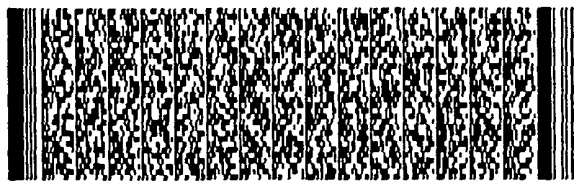
然而在一些應用之中，使用者可能會需要撰寫很大的程式碼或是使用很大的陣列表，如此一來 64K位元組的外



五、發明說明 (2)

部擴充程式記憶體仍然不夠使用。記憶體庫切換 (bank switch) 是一種可以將記憶體大幅擴充的方法，使用單晶片上多出的接腳作為解碼線來對超過 64K 位元組的記憶體作定址，若外部記憶體是一個大容量的記憶體裝置，則多出的接腳可以直接作為位址線，若外部記憶體是數個小容量的記憶體裝置，則多出的接腳可用來選擇記憶體晶片。由於單晶片最大的外部擴充記憶體為 64K 位元組，所以可用 64K 位元組作為記憶體庫切換的基本單位，稱為一個頁 (page)。記憶體庫切換最大的問題在於中斷向量表 (interrupt vector table) 配置的位址，因為中斷向量表通常會放在記憶體中某個特定的位址，雖然程式在運作時可以在各個頁作切換，但是當中斷發生時，程式會立刻於所在頁中的特定位址去尋找中斷向量表，而且此時程式並無法作記憶體庫切換，當程式找不到中斷向量表時，便會產生錯誤。一般解決這個問題的方法，便是在每個記憶體庫中都保留一共用區 (common area)，共用區中儲存中斷向量表、中斷服務常式 (interrupt service routine)、通用函式庫以及記憶體庫切換所需的資料，所以不論程式運作在那一個頁，當程式發生中斷時，程式都可以於所在的頁中找到中斷向量表繼續程式的執行。

請參考圖一，圖一為習知外部程式記憶體 12 配置之示意圖。MCS-51/52 系列的單晶片使用記憶體庫切換的方式在外部擴充 512K 位元組的記憶體 12，分為 8 個頁，每個頁為



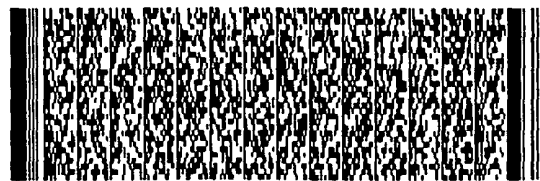
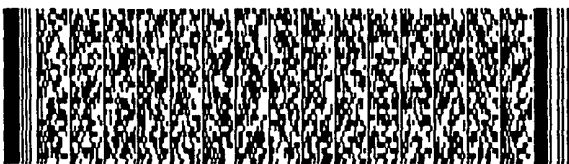
五、發明說明 (3)

64K位元組，並保留一定大小（例如：10K位元組）的共用區用來存放中斷向量表、中斷服務常式、通用函式庫以及記憶庫切換所需的資料。舉例來說，當在第一頁的程式需要呼叫第二頁的程式時，會立即跳至共用區，接著記憶庫設定常式會設定所需記憶庫的頁碼，因為對於單晶片而言，在共用區中改變頁碼並不會影響任何資料的位址，接著單晶片就可以依據設定的頁碼存取第二頁中所需的程式。於第二頁的程式處理完畢之後，程式會先回到共用區中，由記憶庫設定常式將頁碼切換回原來的記憶庫，再回到第一頁中原來程式的位址繼續執行程式。

由上述可知，習知 MCS-51/52 系列的單晶片所提供的程式記憶體，最大只能利用擴充外部程式記憶體至 64K 位元組，但是藉由記憶庫切換的技巧，使用單晶片上多出的接腳，可以再將外部程式記憶體作大幅的擴充，但是記憶庫切換有個缺點，就是每個記憶庫之中都必須保留一部分的空間作為共用區，用來存放中斷向量表、中斷服務常式、通用函式庫以及記憶庫切換所需的資料，而這些資料會複製並儲存在每個記憶庫的共用區之中，如此一來，記憶體的空間便無法有效的被利用。

發明內容

因此本發明之主要目的係提供一種處理器管理外部記



五、發明說明 (4)

憶體之方法，以解決上述問題。

本發明之申請專利範圍提供一種處理器管理外部記憶體之方法包含 (a) 提供一位址轉換器； (b) 使用該位址轉換器將該處理器之中央處理單元指向該外部記憶體之頁碼及該頁碼內的位址轉換為該外部記憶體相對應的實體位址；以及 (c) 使用該中央處理器存取該實體位址之資料。該方法另包含將單一個共用區存入該外部記憶體以及將該處理器之中央處理單元指向該外部記憶體之頁碼及該頁碼內的共用區之位址對映至該外部記憶體之共用區之實體位址。

實施方式

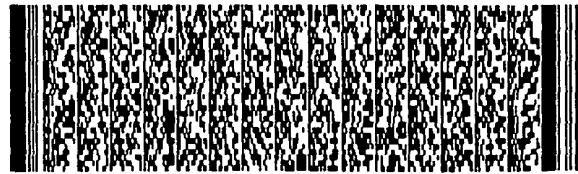
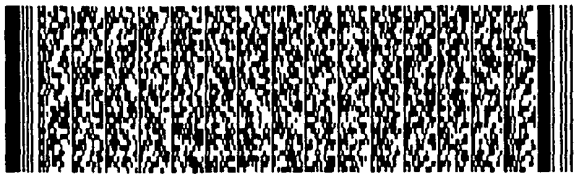
請參考圖二，圖二為本發明單晶片 20 連接外部程式記憶體 22 之示意圖。本發明在單晶片之中加設一位址轉換器 24，用來轉換記憶體的配置方式，由於記憶庫交換的記憶體配置方式在每一個記憶庫之中都必須保留一共用區來儲存中斷向量表、中斷服務常式、通用函式庫以及記憶庫切換所需的資料，相當耗費記憶體空間，本發明的單晶片 20 利用位址轉換器 24 將每一記憶庫中的共用區都對映到同一個共用區之中，如此便可將原本記憶庫中共用區的空間節省下來儲存其它的資料。使用位址轉換器 24 來重新配置記憶體可以更有效的利用記憶體，而節省下來的記憶體空間



五、發明說明 (5)

則配置於其它的記憶庫之中，舉例來說，原本使用記憶庫交換只能配置成8個記憶庫的記憶體空間，使用位址轉換器將記憶體重新配置之後，可以得到9個或更多記憶庫，多出的記憶庫就是節省各個記憶庫中共用區所得到的空間。位址轉換器24將單晶片20的埠0-2(P0, P1, P2)轉換為定址接腳(A23-0)，而圖二中的AD7-0則是用來讀取記憶體的資料，由於記憶體在重新配置後可能會多出數個記憶庫，所以位址轉換器24在單晶片20的內部會多使用數隻虛擬的接腳來與中央處理單元溝通，用來對多出的記憶庫作定址。此外，於實施時，單晶片20內部另外設有一切換裝置(圖未示)，可由使用者自行切換是否使用連接位址轉換器24，以得到較佳之使用彈性。

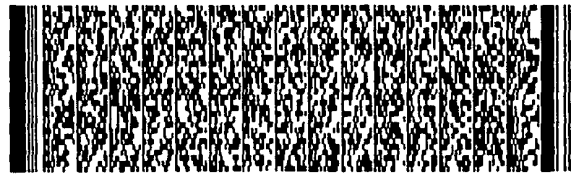
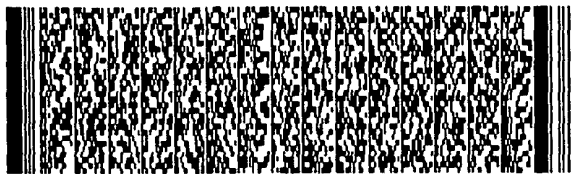
請參考圖三，圖三為本發明外部程式記憶體22配置之示意圖。假設在記憶庫交換的記憶體配置方式中，每一個記憶庫皆需要保留10K位元組的記憶體空間作為共用區，由於單晶片20的外部記憶體22的最大可定址範圍是64K位元組，所以一個512K位元組的記憶體可分成8頁，而每一頁的大小為64K位元組，扣掉10K位元組的共用區，每一頁可以使用的空間為54K位元組，因為共用區重覆在每一頁之中，所以浪費了 $10\text{ K} \times (8-1) = 70\text{ K}$ 位元組的記憶體空間。為了更有效的利用記憶體空間，重新配置記憶體的使用空間，如圖三所示，512K位元組的記憶體22中僅包含一個10K位元組的共用區，通常配置在記憶體22的最低位址，



五、發明說明 (6)

當中央處理單元在任一個記憶庫中執行到共用區時，位址轉換器 24 便會將該位置對映到這塊區域，所以新的記憶體配置方式每一頁的最大空間為 54K 位元組，共用分成 9 頁，第 0 頁至第 8 頁各為 54K 位元組，第 9 頁為 16K 位元組，而第 8 頁及第 9 頁就是記憶體重新配置後所節省下來空間。在本實施例中，單晶片 20 使用埠 0 及埠 2 共 16 隻接腳以及埠 1 的 P1.0、P1.1、P1.2 三隻接腳來對 512K 位元組的記憶體 22 作定址，通常記憶庫交換會使用埠 0 及埠 2 來定址一個 64K 位元組的記憶庫，而埠 1 的三隻接腳則用來作為記憶庫的頁碼選擇，而本實施例則是利用這 19 隻接腳直接對 512K 位元組的記憶體 22 的實體位址作定址，再藉由位址轉換器 24 將記憶庫交換的記憶體配置方式對映至記憶體 22 的實體位址，如此一來，不需要改變任何的指令集，中央處理單元仍然是以記憶庫交換的方式來存取外部的擴充記憶體，但是相同大小的記憶體卻有多的使用空間。

對於中央處理單元而言，使用位址轉換器 24 重新配置記憶體之後，記憶體變大了，因為位址轉換器 24 將每一個記憶庫中共用區的位址都指向同一個區域，所以雖然單晶片只需使用 19 隻接腳來定址 512K 位元組的記憶體，但是經由位址轉換器所產生的記憶庫卻大於 8 頁，所以中央處理單元除了需要 16 隻接腳作為每一頁中 64K 位元組的定址，還需要第 4 隻或更多的接腳用來選擇記憶庫的頁碼。共用區通常配置在實體記憶體的最低位址，不論中央處理單元



五、發明說明 (7)

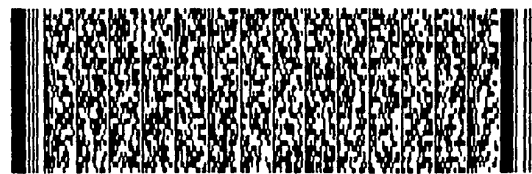
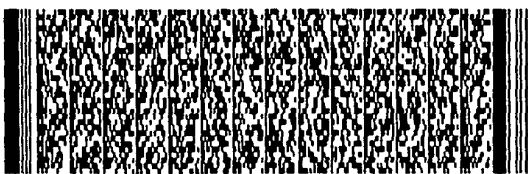
讀取到任何一頁中的共用區位址，都會經由位址轉換器 24 對映到這個區域內，而其它位址的對映方式如下：

實體位址 = 所在頁的位址 - 共用區結束的位址 + 新所在頁的起始位址

其中實體位址為記憶體重新分配的位址，所在頁的位址為中央處理單元在該頁中所存取資料的位址，共用區結束的位址視共用區的大小而定，因為一般都將共用區由記憶庫的起始位址開始儲存，新所在頁的起始位址為中央處理單元的存取所在頁相對應於記憶體重新配置後的所在頁的起始位址。舉例來說，中央處理單元讀取第 3 頁的位址 1⁰AB 時，由於這個位址在共用區內，所以位址轉換器 24 便會將這個位址對映到記憶體的實體位址 012AB，若中央處理單元讀取的是第 3 頁的位址 A100，則由上式可知，實體位址 = $A100 - 2800 + 2B000 = 32900$ ，所以中央處理單元讀取的位址在經由位址轉換器對映到記憶體的實體位址為

32900。此外，雖然位址轉換器可能會造成位址輸出時的延遲，但是如果位址轉換器只轉換作為頁碼選擇的 P1.0、P1.1、P1.2 以及定址高位址的埠 2 而保持定址低位址的埠 0，則這種影響是可以忽略的。

由上述可知，利用位址轉換器 24 將中央處理單元指向外部擴充記憶體 22 的頁碼及該頁碼內的位址轉換為外部擴充記憶體之實體位址，藉由位址轉換器 24 將每一頁中的共用區對映到同一個共用區，所以不論記憶體包含幾個記憶



五、發明說明 (8)

庫，都只需要在記憶體中儲存一個共用區，而使記憶體的空間作更有效的運用，而位址轉換器 24 也會將共用區之外的頁碼及位址對映至新規畫記憶體的實體位址。於實施時，單晶片 20 中所包含的切換裝置只有在使用記憶庫交換來擴充記憶體時才會將接腳切換連接至位址轉換器，所以不會影響單晶片 20 的接腳作為其它用途時的功能。

相較於習知技術，本發明在單晶片內部設置的位址轉換器以及切換裝置可以讓單晶片在使用記憶庫交換來擴充外部記憶體時更有效的運用記憶體的空間，尤其是當有多個記憶庫切換時，使用位址轉換器將每一個記憶庫中共用區的位址對映到同一個共用區，如此就只需在記憶體中儲存一份共用區，可以節省許多的記憶體空間。習知技術在使用記憶庫交換的方式擴充外部記憶體時，必須在每一個記憶庫中都複製一份共用區的資料，相當浪費記憶體的空間，而本發明則可以更有效的利用記憶體的空間。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利的涵蓋範圍。



圖式簡單說明

圖式之簡單說明：

圖一為習知外部程式記憶體配置之示意圖。

圖二為本發明單晶片連接外部程式記憶體之示意圖。

圖三為本發明外部程式記憶體配置之示意圖。

圖式之符號說明：

12 外部程式記憶體

20 單晶片

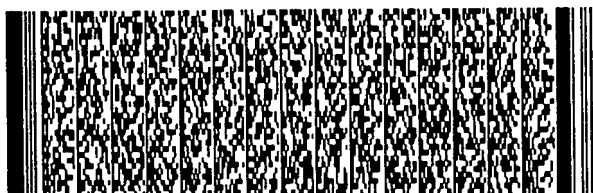
22 外部程式記憶體

24 位址轉換器



六、申請專利範圍

1. 一種處理器管理外部記憶體之方法，其包含：
(a)提供一位址轉換器；
(b)使用該位址轉換器將該處理器之一中央處理單元指向該外部記憶體之一頁碼及該頁碼內的位址轉換為該外部記憶體相對應的一實體位址；以及
(c)使用該中央處理器存取該實體位址之資料。
2. 如申請專利範圍第1項所述之方法，其另包含將單一共用區 (common area) 存入該外部記憶體。
3. 如申請專利範圍第2項所述之方法，其另包含將該處理器之該中央處理單元指向該外部記憶體之該頁碼及該頁碼內的共用區之位址對映至該外部記憶體之共用區之該實體位址。
4. 如申請專利範圍第1項所述之方法，其於步驟 (a) 中，該位址轉換器係安裝於該單晶片上。
5. 如申請專利範圍第1項所述之方法，其中該中央處理單元係處理 8 位元之指令集。
6. 如申請專利範圍第1項所述之方法，其中該處理器係為 MCS 系列的處理器。



六、申請專利範圍

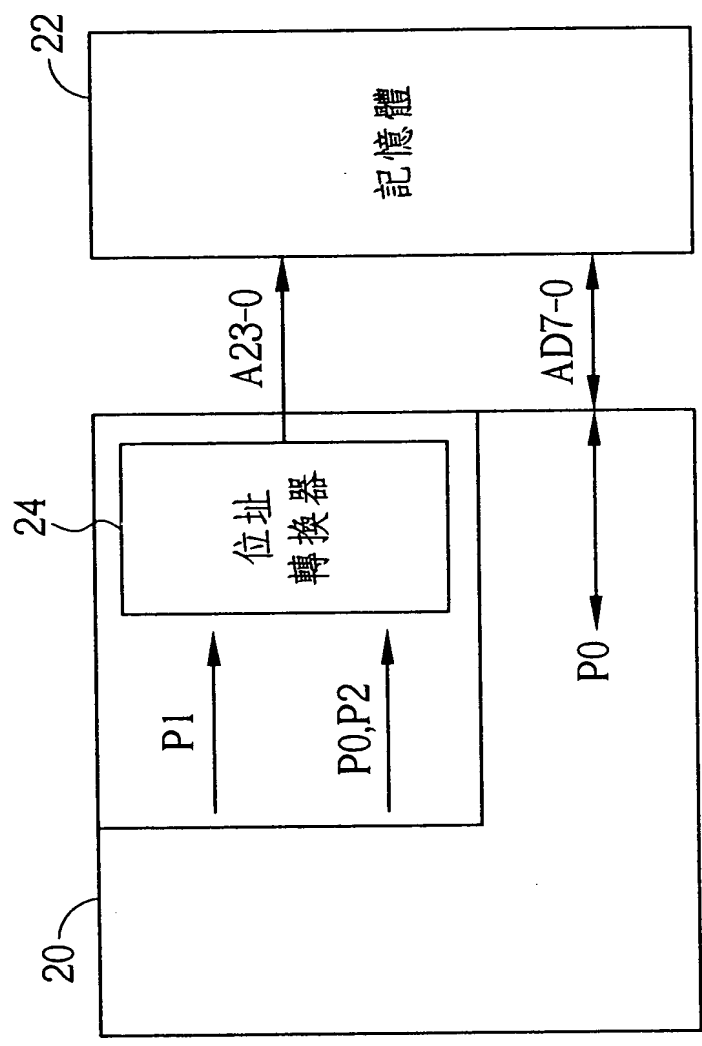
7. 如申請專利範圍第 1 項所述之方法，其中該外部記憶體係為快閃記憶體。

8. 一種實施申請專利範圍第 1 項所述之方法之晶片。

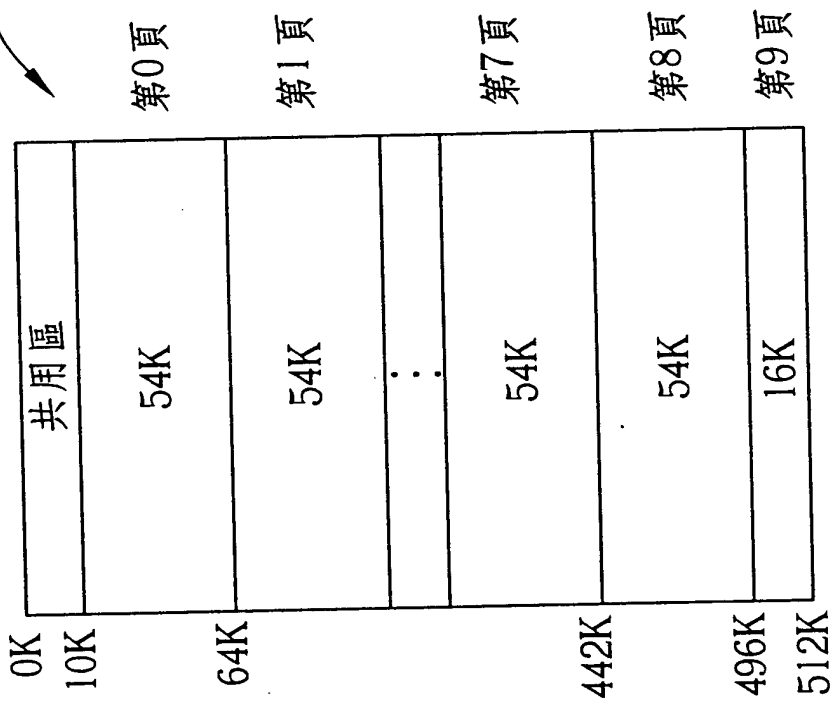


	第0頁	第1頁	第2頁	第3頁	第4頁	第5頁	第6頁	第7頁
0K	共用區	共用區	共用區	共用區	共用區	共用區	共用區	共用區
10K								
64K								

圖一



圖二

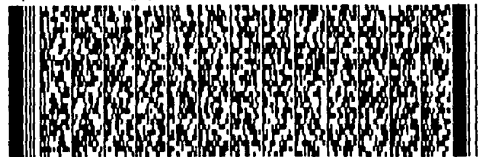


圖三

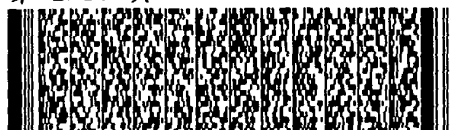
第 1/16 頁



第 1/16 頁



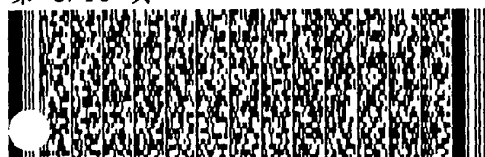
第 2/16 頁



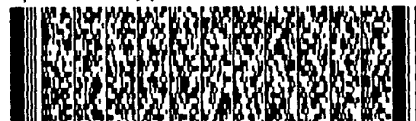
第 3/16 頁



第 3/16 頁



第 4/16 頁



第 5/16 頁



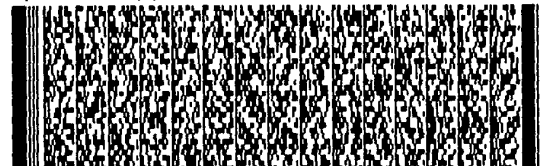
第 6/16 頁



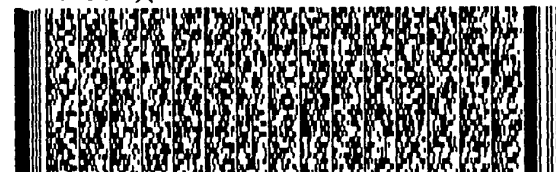
第 6/16 頁



第 7/16 頁



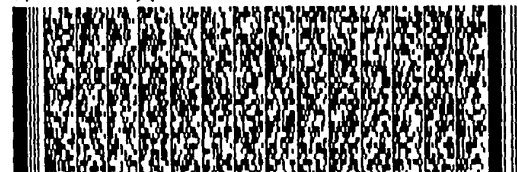
7/16 頁



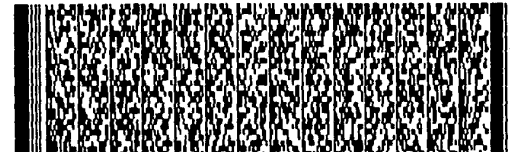
第 8/16 頁



第 8/16 頁



第 9/16 頁



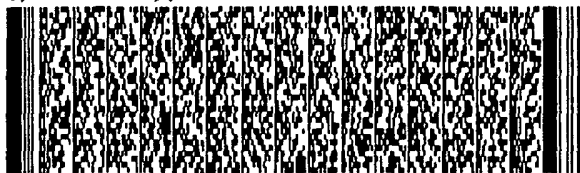
第 9/16 頁



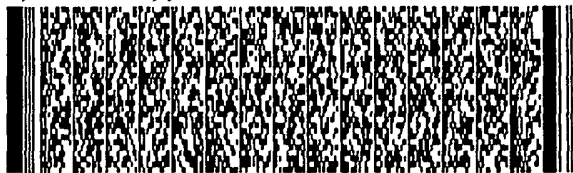
第 10/16 頁



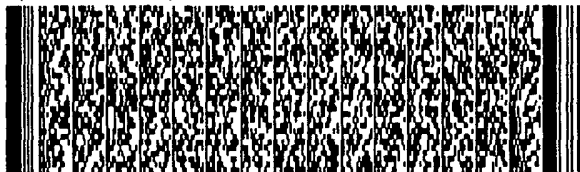
第 10/16 頁



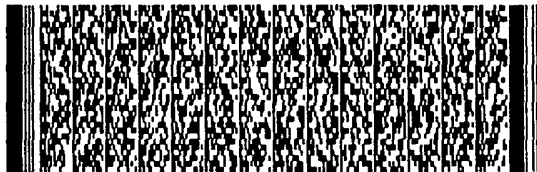
第 11/16 頁



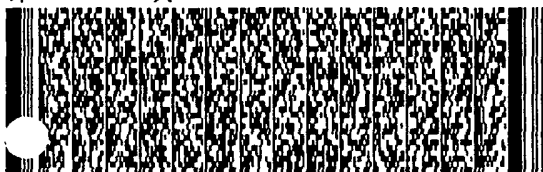
第 11/16 頁



第 12/16 頁



第 12/16 頁



第 13/16 頁



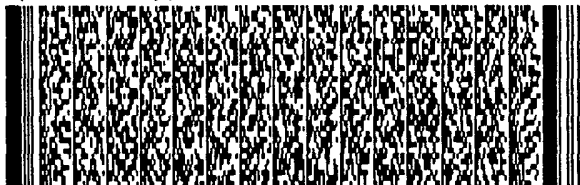
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

